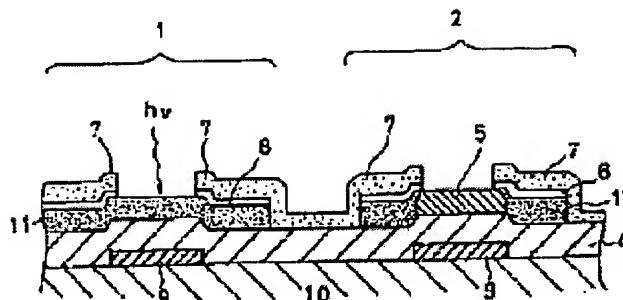


SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP5063172
Publication date: 1993-03-12
Inventor: KANEKO TOSHITERU; KIZAWA KENICHI; KITA YOSHIAKI; ABE YOSHIO; HASHIMOTO KENICHI; KOZONO YUZO; OGAWA KAZUHIRO; MORITA MAMORU
Applicant: HITACHI LTD
Classification:
 - international: H01L27/146; H01L29/784
 - european:
Application number: JP19910221874 19910902
Priority number(s): JP19910221874 19910902

Abstract of JP5063172

PURPOSE: To form high-sensitivity photodetectors and high-speed scannable drive elements over the same substrate of the same constitution by photodetectors having amorphous semiconductor layers and thin film transistors having polycrystalline semiconductor layers. **CONSTITUTION:** A glass substrate 10 is spread with an Al film 9 of about 120nm thickness, which is then spread with a low-hydrogenated SiN film 4 of about 350nm. Further, the part of a photodetector 1 is spread with a low-hydrogenated non-doped amorphous silicon film 11, and the part of a TFT 2 with a low-hydrogenated polycrystalline silicon (poly-Si) film 5. The poly-Si film 5 has an a-Si film 11 at a part, which is spread with a phosphin-doped amorphous silicon film 6 and a Cr/Al double layer film 7. This design enables a photodetector having an amorphous semiconductor layer and a thin film transistor having a polycrystalline semiconductor layer as the active layer to be formed on the same substrate from the same film constitution, thereby manufacturing a semiconductor device having high-sensitivity photodetectors and high-speed scannable thin film transistors with a high manufacture efficiency.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-63172

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

H 01 L 27/146
29/784

識別記号

序内整理番号

F I

技術表示箇所

8223-4M
9056-4M
9056-4M

H 01 L 27/14

29/78

H 01 L 29/78

C

3 1 1 C

3 1 1 H

審査請求 未請求 請求項の数17(全13頁) 最終頁に続く

(21)出願番号

特願平3-221874

(22)出願日

平成3年(1991)9月2日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 金子 寿輝

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 鬼沢 賢一

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(72)発明者 北 芳明

茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

(74)代理人 弁理士 富田 和子

最終頁に続く

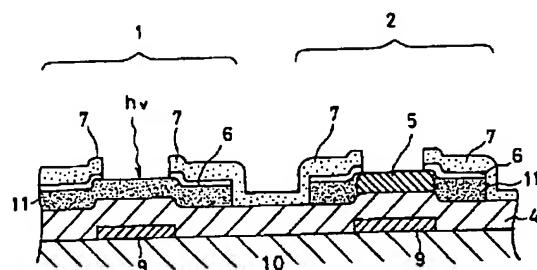
(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】高感度な受光素子と、高速走査可能な駆動用素子を、同一基板上に、同じ膜構成で形成することができる半導体装置と、その製造方法を提供することを目的とする。

【構成】光電変換を行なう非晶質半導体層を有する受光素子と、多結晶半導体層を有する薄膜トランジスタを有することを特徴とする半導体装置。

図 1



1

【特許請求の範囲】

【請求項1】光電変換を行なう非晶質半導体層を有する受光素子と、多結晶半導体層を有する薄膜トランジスタとを有することを特徴とする半導体装置。

【請求項2】請求項1において、前記受光素子は、さらに多結晶半導体層を有し、前記薄膜トランジスタは、さらに非晶質半導体層を有することを特徴とする半導体装置。

【請求項3】請求項1において、前記薄膜トランジスタの多結晶半導体層は、一部に非晶質半導体層を有することを特徴とする半導体装置。

【請求項4】請求項1、2または3において、前記薄膜トランジスタはソースとドレインを有し、前記ソースとドレインは、金属と前記薄膜トランジスタの半導体層との反応生成物層を有することを特徴とする半導体装置。

【請求項5】請求項1、3または4において、前記薄膜トランジスタの多結晶半導体層は、前記薄膜トランジスタの他の半導体層と比較して、相対的に低水素濃度であることを特徴とする半導体装置。

【請求項6】請求項5において、前記薄膜トランジスタの多結晶半導体層は、下層に低水素化した絶縁層を有することを特徴とする半導体装置。

【請求項7】請求項5または6において、前記多結晶半導体層は、水素量0.5%以上9%以下の半導体層であることを特徴とする半導体装置。

【請求項8】請求項6または7において、前記低水素化した絶縁膜は、水素量 $1 \times 10^{22} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項9】請求項1、3、4、5、6、7または8において、前記薄膜トランジスタの前記多結晶半導体層は、基板に近い側ほど相対的に大きい結晶粒径を有することを特徴とする半導体装置。

【請求項10】請求項9において、前記薄膜トランジスタの多結晶半導体層は、表面に金属と前記薄膜トランジスタの半導体との反応生成物を有することを特徴とする半導体装置。

【請求項11】請求項4または10において、前記薄膜トランジスタは電極を有し、前記反応生成物は前記電極を構成する金属と前記半導体との反応生成物であることを特徴とする半導体装置。

【請求項12】少なくとも1以上の非晶質半導体層を有する薄膜トランジスタにおいて、前記非晶質半導体層は、水素濃度2%以下の非晶質半導体層を有することを特徴とする薄膜トランジスタ。

【請求項13】基板と、前記基板上に形成された、光電変換を行なう半導体層と、電極と、前記光電変換を行なう半導体層と電極の接触を取るコンタクト層とを有する半導体装置において、前記光電変換を行なう半導体層と前記コンタクト層の間に絶縁層を設けたことを特徴とする半導体装置。

10

2

【請求項14】非晶質半導体層上に、前記非晶質半導体の反射率より相対的に反射率が高い高反射率部を形成し、レーザ光を前記非晶質半導体上に均一に照射することにより、前記高反射部が形成されていない半導体薄層を選択的に結晶化させることを特徴とする半導体装置の製造方法。

【請求項15】半導体層上に、金属膜をスパッタリング法で形成することにより、前記半導体と金属膜の界面に金属と半導体の反応生成物層を形成することを特徴とする半導体装置の製造方法。

【請求項16】半導体層上に、金属膜を形成した後、前記半導体層と前記金属膜を熱処理することにより、前記半導体層と前記金属膜の界面に、金属と半導体の反応生成物層を形成することを特徴とする半導体装置の製造方法。

【請求項17】原稿を読み取る半導体層を有する受光素子と、前記受光素子の出力信号を処理する半導体層を有する薄膜トランジスタとを有するイメージスキャナにおいて、前記受光素子の半導体層は、非晶質半導体層を有し、前記薄膜トランジスタの半導体層は、多結晶半導体層を有することを特徴とするイメージスキャナ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜を有する半導体デバイスとその製造方法に関し、特に、アモルファス半導体を用いたディスプレイやイメージセンサなどの薄膜デバイスに関する。

【0002】

【従来の技術】従来、薄膜を構成要素として有する装置において、その駆動部として電子部品が必要な場合、LSIを薄膜の基板上に、実装することにより電子回路部を形成していた。近年、薄膜技術の進歩につれて、薄膜トランジスタ(TFT)やダイオード等の電子回路機能を、薄膜の基板上に、直接、形成することが可能になりつつある。例えば、液晶ディスプレイでは、従来、液晶を単純マトリックス回路で駆動させていたが、近年、液晶の各画素ごとに形成したアモルファスシリコン薄膜トランジスタ(a-Si TFT)で、スイッチングすることにより、コントラストを向上させることが可能になっている。これにより、液晶ディスプレイの画質を、CRT並みに向上することが可能になっている。また、ファクシミリやスキャナの、画像の入力に用いられる密着型イメージセンサでは、受光素子ごとに設けられるスイッチを、受光素子と同一基板上にTFTで作り込むことによって、別途実装するLSIの個数を減らすことができる。これにより、コストを大幅に低減でき、しかも、受光素子の集積度を上げることが可能になり、400 dpiの高精細読み取りにも容易に対応することが可能になっている。

【0003】密着型イメージセンサでは、受光素子のホ

体層を活性層として用いる構造とすることができます。この構造においても、受光素子と薄膜トランジスタを同工程で同一基板上に作製することが可能であり、薄膜トランジスタ部分の非晶質半導体層を加熱して多結晶半導体層とする工程を加えるのみでよい。加熱して多結晶化する非晶質半導体層は、低水素化した層であると、加熱による膜剥がれや、表面の荒れなどのダメージを受けにくくい。

【0016】非晶質半導体層上に、反射率が非晶質半導体の反射率より相対的に高い高反射部を形成して、全面に均一にレーザ光を照射することにより、高反射部の形成されていない部分を選択的に結晶化させることができます。高反射部が形成されている部分は、レーザ光をほとんど反射するため熱を受けず、高反射部のない部分だけがレーザ光を吸収し加熱される。この方法を用いることにより、半導体装置上の薄膜トランジスタの半導体のみを加熱するなどの、微小部分をアニールすることが可能である。

【0017】

【実施例】以下、本発明の実施例を図を用いて説明する。

【0018】(実施例1) 図1は、本発明の第1の実施例である受光素子とTFTを有する半導体装置の断面構造図である。図1に示すように、ガラス基板10上には、受光素子1と、スイッチング用薄膜トランジスタ(以下、TFTと称す)2が形成されている。膜構成としては、ガラス基板10上に、厚さ約120nmのA1膜9が形成され、この上に、約350nmの低水素化したSiN膜4が形成されている。更に、受光素子1の部分に、膜厚200~300nmの低水素化したノンドープアモルファスシリコン(i-a-Si)膜11、TFT2の部分に、膜厚200~300nm低水素化した多結晶シリコン(poly-Si)膜5が形成されている。poly-Si膜5は、一部にa-Si膜11を有している。更にその上には、膜厚50nmのホスフィンドープアモルファスシリコン(n+-a-Si)膜6と、Cr/A1の2層膜7が形成されている。

【0019】A1膜9は、受光素子1において、基板10側から入射する光を遮光する遮光膜として機能し、TFT2において、ゲート電極として機能する。SiN膜4は、受光素子1およびTFT2の、ゲート絶縁膜として機能する。i-a-Si膜11は、受光素子1の光電変換層、poly-Si膜5は、TFT2の活性層として機能する。n+-a-Si膜6は、受光素子1のコンタクト層、TFT2のブロッキング層およびコンタクト層として機能する。Cr/A1の2層膜7は、受光素子1では電極、TFT2では光電流を取り出すソース、ドレイン電極として機能する。A1膜9は、Cr膜等の他の金属膜で形成することもできる。SiN膜4は、A1₂O₃、SiO₂、SiON膜で形成しても良い。また、

Cr/A1の2層膜7は、Cr膜またはA1膜の単層膜でも良い。

【0020】次に、図2を用いて、本実施例の半導体装置を密着型イメージセンサをして使用し、FAXに搭載した場合の動作の一例を説明する。受光素子1およびTFT2(図2では図示せず)は、上述の膜構成の上に、絶縁膜200を更に積層され、その上を保護層400によって保護されて、紙送り機構300によって送られた原稿30に密着している。光源である発光素子40から発せられた光は、原稿30に照射され、反射光がイメージセンサの受光素子1に入射し、受光される。受光素子1の遮光膜であるA1膜9は、発光素子40から発せられた光のうち、原稿30に当たらなかった光が、受光素子1のガラス基板10側から、入射するのを防ぐ。光電変換層のi-a-Si膜11は、絶縁膜200を通して、原稿30からの反射光を受光し、光電変換により電荷を発生する。発生した電荷は、出力信号として、受光素子1の電極7から、TFT2(図2では図示せず)のソース、ドレイン電極7に出力され、ゲート電極9により、スイッチングされる。

【0021】次に、本実施例の半導体装置の製造方法について述べる。まず、ガラス基板10上に、A1膜9をスパッタリング法で形成し、ウェットエッチングを用いたフォトリソグラフィによりパターニングした。

【0022】次に、低水素化したSiN膜4を、以下のようなプラズマCVD(Chemical Vapor Deposition)法で形成した。マイクロ波プラズマによって、活性な水素、フッ素やAr原子を発生させ、そこに形成途中のSiN膜をさらすことにより、Si-Hの弱い水素結合を断ち切ったSiN膜を形成した。Hを断ちきられたSiに、Nラジカルから窒素を供給した。この方法を用いることにより、容易にSiN結合を形成でき、膜中水素量1×10²²/cm³以下のSiN膜を形成した。原料ガスにモノシラン、水素、窒素を用い、流量比を1:10:15に設定し、RFパワー0.1W/cm²程度にした場合には、膜中の水素量が9×10²¹/cm³と、さらに低く押さえられ、かつ未結合手が少なく、また膜中の欠陥の少ないSiN膜が形成された。一方、比較例として、原料ガスにアンモニアガスを用いた場合、過剰の水素が膜中に取り込まれ、膜中水素量は3×10²²/cm³となり好ましくなかった。プラズマCVD法以外では、スパッタリング法を用いて、Si₃N₄ターゲットを、水素ガス雰囲気中でスパッタリングして成膜しても、低水素化したSiN膜4を形成することができた。

【0023】上述の低水素化したSiN膜4の上に、低水素化したa-Si膜11を、プラズマCVD法で作製した。このa-Si膜11は、そのまま受光素子のi-a-Si膜11として用い、一部をレーザアニール法で多結晶化して、TFTのpoly-Si膜5に加工す

る。低水素化したa-Si膜11は、膜表面が荒れたり、剥離することなく、poly-Si膜5に加工することができる。低水素化することによって、ダングリングボンド（未結合手）が増加すると、受光部のa-Si膜11の光感度が低下するので、低水素であっても膜中のダングリングボンドの割合は低く抑えておく。また、レーザアニール時には、a-Si膜11の下層に熱が伝わるため、下層から水素が脱気して、上層のa-Si膜11を水素化し、膜表面の荒れや、剥離を引き起こすのを防ぐため、下層には上述の方法で形成した低水素化したSiN膜4を使用した。

【0024】低水素で、ダングリングボンドの低いa-Si膜11は、以下のように作製した。まず、2.45GHzのマイクロ波で、水素のプラズマを形成し、この中に原料ガスとしてモノシランを供給し、モノシランをマイクロ波プラズマで分解して、a-Si膜11を形成した。前述の水素プラズマが、水素を引き抜く働きをするため、水素濃度0.5%以上9%以下に低水素化したa-Si膜が得られた。ここでは水素のプラズマを用いたが、アルゴン、フッ素等のプラズマを用いても同様の効果が得られた。また、モノシランの分解は、RFプラズマでも同様に形成できた。

【0025】a-Si膜11の上には、n+-a-Si膜6を、プラズマCVD法で作製した。さらに、n+-a-Si膜6の、受光素子1の受光窓部分と、TFT2のソース・ドレイン間の窓部分をフォトリソグラフィおよびドライエッチングにより、形成した。さらに低水素化したa-Si膜とn+-a-Si膜6を、ドライエッチングを用いたフォトリソグラフィにより、島状に加工し、受光素子1部分とTFT2部分とに分離した。その上に、ソースおよびドレイン電極のCr/A1膜の2層膜7を、スパッタリング法で、Cr膜、A1膜の順に積層した。上述のように、TFT2のソース・ドレイン間の窓部分を、予め、除いていたので、a-Si膜11上には直接Cr/A1膜の2層膜が、積層された。このように、a-Si膜上にCr膜を直接、スパッタリング法で積層する工程を用いたのは、a-Si膜の表面に、高いエネルギーを持つCr分子を衝突させ、Cr膜とa-Si膜の界面に、CrとSiの反応生成物の層を形成するためである。この反応生成物をレーザーアニールによる多結晶化の種結晶として利用する。Cr膜は、スパッタリング法以外にも蒸着法等で形成することも可能であり、この場合には、形成後に、200度で1時間程度アニールすることにより同様に、反応生成物層を形成することができる。

【0026】次に、Cr/A1膜の2層膜7を、ウエットエッチングを用いたフォトリソグラフィでパターニングし、受光素子1の受光窓部分およびTFT2のソース・ドレイン電極間を形成した。A1/Cr2層膜7の、Cr膜は硝酸第2セリウムアンモン水溶液でエッチングし

た。CrとSiの反応生成物は、ウエットエッチングでは、除去されずa-Si表面に残った。

【0027】前述のa-Si膜のうちTFT2の部分を、レーザアニール法により加熱して多結晶化した。膜厚が比較的厚い場合には、波長が780nmと長く、チャネル領域まで入射するArレーザが適していた。図4に示すように、a-Si膜11の表面のCrとSiの反応生成物が種結晶41となり、低い加熱温度で、容易に多結晶化した。a-Si膜の表面からSiN膜4の方向に向かって、結晶は次第に大きく成長し、チャネルが形成されるpoly-Si膜5とゲート絶縁膜4の界面では、結晶粒径の大きい多結晶シリコンとなり、高い移動度のTFTが形成できた。

【0028】図5に、一般的な結晶の核発生から成長過程における、核発生時のエネルギー状態を示す。図5に示すように、種結晶が予め無い場合には、臨界核半径 r_1 の核ができるないと結晶成長は進まず、結晶核生成のための自由エネルギーは高くなり、高い温度まで上げる必要が生じる。この高温により、poly-Si膜5は、ダメージを発生しやすくなる。一方、予め上記のような種結晶41を形成しておくと、臨界核半径は r_2 まで少なくすることができ、したがって、より低温で核を発生させ、多結晶化することができる。

【0029】また、受光素子1とTFT2との間隔は狭いため、TFT2のa-Si膜11のみを加熱するために、レーザアニールは、正確な選択性が要求される。さらに、製造効率を上げるために、レーザ照射時間は、短時間であったほうがよい。本実施例では、電極7を形成した後に、レーザアニールを行なう工程を取ることにより、電極層7がメタルマスクとして働き、TFT2のソース・ドレイン間のa-Si膜部分だけを選択的に、比較的強いレーザ出力を用いて短時間に、他の部分にダメージを与えることなく、加熱することができた。図3に示すように、一般的に、メタルマスクの反射率(R_1)が、a-Si膜の反射率(R_2)より30%以上高い場合、メタルマスクで覆われている部分がダメージを受けず、a-Si膜のみが加熱がされる。反射率 R_1 、 R_2 を測定したところ、a-Si膜の反射率 R_2 は約60%あり、電極層7の上層であるA1膜の反射率 R_1 は90%以上あり、メタルマスクとして適していた。ソース・ドレイン電極7が、形状的に、マスクとして使用できない場合には、この電極をまずマスクとして加工してレーザを照射した後、電極形状に再び加工すれば良い。

【0030】本実施例では、1-a-Si膜11を有する受光素子1と、poly-Si膜5を有するTFT2を同時に一つの膜構成から作製することができ、製造工程を減らすことができた。低水素化したSiN膜4およびa-Si膜を形成した後、レーザアニール法で、TFT2のa-Si膜のみを加熱し、poly-Si膜5を

作製する工程を用いたことにより、表面の荒れや膜剥がれの生じず、高性能なTFT2を作製することができた。また、上述した方法で作製した低水素化したa-Si膜11の、ダングリングボンドは、通常の方法で作製した場合と、同程度であるため、受光素子1の性能を低下させることはなかった。さらに、レーザアニールする前に、TFT2のa-Si膜と電極7の界面に、種結晶41となるCrとSi反応生成物を作製しているため、多結晶化を容易に、行なうことができた。種結晶41をa-Si膜の表面に形成したので、a-Si膜5の表面部から、ゲート絶縁膜4との界面に向かって結晶化が進み、チャネルが形成されるゲート絶縁膜4との界面付近では、結晶粒径の大きい多結晶シリコンとなり、高い移動度のTFT2が形成できた。

【0031】poly-Si膜5、i-a-Si膜11の形成は、スパッタリング法や熱CVD法により、まず、水素を含まないa-Si膜を形成し、poly-Si膜5の部分だけを加熱し、多結晶化させた後に、全体を活性な水素で内部まで水素化する手法を用いることができる。a-Si膜11およびn+-a-Si膜6のバターニングは、ウエットエッチングにより行なうことができる。また、A1膜9およびCr/A1膜の2層膜7のバターニングは、ドライエッチングによって行なうともできる。

【0032】Cr/A1の2層膜7のソース・ドレイン間のエッチングに、ドライエッチングやイオンミリング等のドライプロセスを用いた場合、a-Si膜の表面を、オーバーエッチングにより、種々の活性種やイオンで叩くことにより、材料に歪や欠陥を発生させ、この歪や欠陥を種結晶41の代わりに、結晶核として利用し、多結晶化を行なうことができる。この場合、CrとSi反応生成物を形成する必要がないので、n+-a-Si膜6の、ソースドレイン間の窓部分をエッチングする工程を省き、Cr/A1の2層膜7を形成し、Cr/A1の2層膜7とn+-a-Si膜6を連続してドライエッチングすることができ、さらに製造効率を上げることが可能である。

【0033】種結晶41として用いることができる反応生成物としては、CrとSiの反応生成物の他、プラチナとSiの反応生成物であるプラチナシリサイド、パラジウムとSiの反応生成物であるパラジウムシリサイド等がある。例えば、ソースおよびドレイン電極7として、アルミニ合金を用いる場合、合金添加物としてシリコン、パラジウムを用いることができる。このA1-Si-Pd合金を、200~300°Cでアニールすることにより、アルミ内に微細なパラジウム化合物が均一に析出する。ソースおよびドレイン間をエッチングで除去した後も、活性層との界面に析出した反応生成物が残留する。A1-Si-Pd合金を電極として用いた場合、レーザーアニールによる多結晶化温度を約200°C下げる

ことができ、低温で良好なポリシリコンを得ることができる。また、合金添加物としてシリコンを添加しないA1-Pd合金でも、活性層のシリコンを一部吸い上げることにより、同様の効果がある。A1-1.0%Pd合金を用いる場合には、スパッタリング法で形成し、リン酸、酢酸、硝酸の混酸でウエットエッチングすれば良い。

【0034】また、レーザアニールを行なう工程を、i-a-Si膜11の成膜直後にすることも可能である。この場合には、種結晶41を生じさせるために、上述したような方法で一旦金属膜を成膜した後、エッチングにより除いても良いし、i-a-Si膜11を、イオンミリングやドライエッチングにより叩き、歪や欠陥を発生させててもよい。

【0035】図6には、図1と同じ並列型の半導体装置において、TFT2のpoly-Si膜の膜厚を薄くした例を示す。他の膜構成、および作製方法は、上述したものと同様であるが、受光素子1とTFT2に形成した膜厚300nmのa-Si膜を、TFT2の部分のみ、膜厚100nmまで、選択的にエッチングした。このようにTFT2のpoly-Si膜5を薄くすることによって、poly-Si膜TFT2のoff電流をさらに低減することができた。

【0036】(実施例2)本発明の第2の実施例の受光素子とTFTを有する半導体装置を説明する。膜構成と膜の機能は、実施例1と同様であるが、図1のブロッキング層およびコンタクト層6として、Cr-Siの反応生成物層20を使用した。Cr-Siの反応生成物膜20は、n+-a-Si膜6と、同程度かそれ以上の導電率を有するので、ブロッキング層およびコンタクト層として使用することができる。

【0037】本実施例の、半導体装置の製造方法を説明する。A1膜9、低水素化したSiN膜4および低水素化したa-Si膜を形成した。形成方法は、実施例1と同じであるので省略する。低水素化したa-Si膜を、ドライエッチングを用いたフォトリソグラフィにより、島状に加工し、受光素子1部分とTFT2部分と分離した。次に、ソース・ドレイン電極のCr/A1の2層膜をCr膜、A1膜の順にスパッタリング法により形成した。これを230°Cで1時間アニールすることにより、Cr膜とa-Si膜の界面にCrとSi反応生成物層を形成した。本実施例のCrとSiの反応生成物層は、アニールを行なわなかった実施例1の反応生成物層より、厚く形成された。次に、ソース・ドレイン電極間の窓部分をウエットエッチングを用いたフォトリソグラフィにより形成した。CrとSiの反応生成物層20は、ウエットエッチングでは除去されず、a-Si層の表面に残った。Arレーザを、TFT2のソース・ドレイン間の窓部分に照射し、CrとSiの反応生成物を種結晶にして、a-Si膜を多結晶化しpoly-Si膜5を形成

した。その後、ドライエッティング法により、ソース・ドレイン電極間のCrとSiの反応性生物層6を除き、素子を完成させた。

【0038】上述のCr/A1膜の2層膜7を230℃で1時間アニールを行なう工程に代わって、レーザーハニールを行なっても良い。レーザー光の10%弱程度のパワーが、Cr/A1の2層膜を通して、a-Si膜に到達するのでCr/a-Si界面をアニールしたのと同様の効果がある。

【0039】本実施例では、ソース・ドレイン電極7としてCr/A1の2層膜を用いたが、Al-PdまたはAl-Si-Pdを用いても良い。この場合、電極7/a-Si界面には、Pd-Si化合物層が形成される。

【0040】(実施例3)図7に、本発明の別の実施例の受光素子とTFTを有する半導体装置を示す。膜構成としては、ガラス基板10上に、A1膜3が形成され、その上に、SiN膜42、さらに、膜厚10~40nmの薄いpoly-Si膜13、膜厚200~500nmのa-Si膜14を積層して形成されている。その上には、ホスピンをドープしたn+-a-Si膜6、Cr/A1膜の2層膜7を形成する。

【0041】A1膜9、SiN膜42およびn+-a-Si膜6の機能は、実施例1と同様であるので説明を省略する。poly-Si膜13は、TFT2の活性層として、a-Si膜14は受光素子1の光電変換層として機能する。受光素子1のa-Si膜14で発生した光電流は、TFT2のソース電極から、a-Si膜14を通りぬけてpoly-Si膜13を流れ、再び、a-Si膜14を通りぬけて、ドレイン電極9に流れ、ゲート電極9によりスイッチングされる。受光素子部のpoly-Si膜13は、遮光層のA1膜9を、接地または負電圧を印加することにより、暗電流を低く抑えることができる。遮光層のA1膜9に印加する電圧は、通常TFT2のしきい値電圧が、1~3Vであることを考慮すると、特に負電圧を印加せず、受光素子1の遮光層のA1膜9をグラウンドレベルに接続するだけでも暗電流を低く押さえることができる。

【0042】本実施例の、半導体装置の製造方法を説明する。ガラス基板10上に、A1膜9をスパッタリング法により形成し、ウェットエッティングを用いたフォトリソグラフィにより、バーニングした。その上に、SiN膜42を通常のプラズマCVD法により形成した。次に、以下のような方法で、poly-Si膜13を形成した。まず、原料ガスとしてSiHF系ガス、またはモノシリコンとフッ素または水素を用い、基板上にSi膜を形成した。次に、この膜を活性な水素またはフッ素プラズマにさらすことによって、膜中の水素、フッ素を除去するとともに、Si-Siの結合距離と結合角のゆらぎを無くしてpoly-Si膜13を形成した。この方法は、低温で成膜を行なうことが可能であり、既に形成さ

れているSiN膜42にダメージを与えることなく、形成することができる。poly-Si膜13は、実施例1と異なり、選択的に形成する必要がないため、成膜時から基板全面にpoly-Si膜13を形成し、その後、連続してa-Si膜を形成する。また、工程数は増加するが、一度薄いa-Si膜を形成後、レーザーハニールやラビッドサーマルアニール(RTA)などの方法で基板全面を急速に800~1000℃程度まで加熱して結晶化させても良い。

【0043】この上に、a-Si膜14、n+-a-Si膜6をプラズマCVD法で形成し、フォトリソグラフィにより島状加工し、受光素子1とTFT2のSi膜13、14、6を分離した。その上にCr/A1の2層膜7をスパッタリング法で形成し、フォトリソグラフィにより受光窓部分と、ソースドレイン間の窓部分のCr/A1の2層膜とn+-a-Si膜6を除き、素子を完成させた。

【0044】図7に示す構造のホトコンダクタ型受光素子1は、膜厚が厚いほど光電変換の出力が高いため、膜厚は200~500nmと比較的厚く方が良い。

【0045】本実施例の密着型イメージセンサは、受光素子1とTFT2とが、基本的に同一の膜構成であるため、従来と比較して、工程数を大幅に低減することができる。例えば、従来の、密着型イメージセンサとして高速のpoly-Si TFTとa-Si受光素子とを同一基板上に形成するためには、コブラナ型TFTをホトマスク5枚用いて形成後、受光素子形成用にマスクを3枚用いて形成していた。すなわち、従来の密着型イメージセンサのプロセスには計8枚のマスクを用いて、フォトリソグラフィを行なっていた。一方、本発明では、poly-Si膜を有するTFT2と受光素子1とを、ホトマスク4枚だけで作製することができる。従って、高速型密着型イメージセンサの作製歩留を2倍以上向上させることができる。また、poly-Si層とa-Si層とを連続して形成できるため、TFT用と受光素子用の半導体膜を一度で形成でき、スループットを大幅に向かせることができる。

【0046】図8に、poly-Si膜13の膜厚を20nm、i-a-Si膜14の膜厚を、300nmとして形成した場合のTFT2の特性を示す。活性層がpoly-Si膜13であるため、移動度 μ は $12\text{ cm}^2/\text{Vs}$ と、通常のa-Si TFTより1ケタ以上高い値が得られた。また、TFT2の上部を絶縁膜で覆った場合には、off電流を、さらに2桁程度低くすることができる。

【0047】図9に、a-Si膜14の膜厚を、300nmとして形成した場合の、受光素子1の光電流 I_{ph} と暗電流 I_d 特性を示す。図9からわかるように、光/暗電流比は約80である。受光素子1の上部に絶縁膜を形成した場合、素子表面のリーク電流を低減され、さら

に光／暗電流比を、1けた程度高くすることができる。

【0048】図10に、本実施例の積層型TFTと比較例のTFTの特性を示す。比較例としては、活性層をa-Si膜のみで形成したa-SiTFTを用い、本実施例の図7に示す構造の積層型TFT2の特性とを比較した。本実施例の基板全面での多数の素子の平均移動度は、 $7.0\text{ cm}^2/\text{Vs}$ が得られ、従来のa-SiTFTの $0.3\sim0.4\text{ cm}^2/\text{Vs}$ と比較して、15倍以上に向かっていることがわかる。一方、しきい値電圧およびoff電流は、a-SiTFTと同程度となっている。本データは、図7に示すように、素子表面に絶縁膜を設けていない状態での測定値であるため、絶縁膜を素子表面に設けることによって、off電流を更に3ケタ程度抑制でき、実際の回路に使用した場合には、全く問題はなかった。

【0049】以上のように、本実施例に示した図7のような構造の半導体装置を用いることにより、高い光電変換特性と高移動度との両立した半導体装置を、従来の半分以下の短い作製工程で、高い歩留まりで得ることが可能になった。

【0050】図11は、図7の半導体装置のTFT移動度を、更に、向上させるために、a-Si膜を、幅の狭い島状に加工した後で、コンタクト層とソース、ドレイン電極を形成した例である。本素子構造では、ソース・ドレイン電極7の間を流れる電流が、高抵抗のa-Si膜14を通らず、直接、活性層のpoly-Si膜13に流れるため、活性層のpoly-Si膜13の高い電界効果移動度を、そのまま利用することができる。本構造のTFT2の電界効果移動度を測定したところ、 $20\text{ cm}^2/\text{Vs}$ が得られた。

【0051】図12は、図11の膜構造の半導体装置の、受光素子1とTFT2のそれぞれの特性を、更に、最適化するために、受光素子1のa-Si層の膜厚より、TFT2の膜厚を薄く形成した例である。受光素子1では、光電変換層のa-Si膜の膜厚が厚い程、光／暗電流比を大きくできる。一方、TFT2では、a-Si膜14は薄い程、a-Si膜とpoly-Si膜をあわせた抵抗が大きくなり、ソース・ドレイン電極間に電流を流さないoff時に、off電流を小さくできる。従って、図12に示すように、a-Si膜14を、まず、受光素子1に適るように、厚く形成した後、TFT2のa-Si膜14だけ選択的にエッチングして、膜厚を薄くした。図12の構造によって、受光素子において高い光／暗電流比を確保したまま、TFTのoff電流を低く抑えることができた。

【0052】本実施例では、n+-a-Si層をエッチングする際に、poly-Si膜13とn+-a-Si膜6とエッチングの選択比が十分取れるように、エッチング条件を選択した場合には、TFT2のa-Si膜14が無い構造の半導体装置を作製することができる。

【0053】(実施例4) 図13に、本発明の実施例のTFTを示す。図13に示すように、活性層として、水素量1%程度のa-Si層111と、通常のa-Si層112を有する。水素量を1%程度に低く抑えたa-Si層111は、Si-Si結合の結合角、または結合距離のゆらぎが小さく、電子、正孔ともにその移動度が高い。しかし、成膜とエッチングを繰り返すことによって膜を形成するため、成膜速度が遅いため、図13のように、水素量1%程度のa-Si膜111と、通常のa-Si膜112の2層構造にすることにより、高い移動度のa-SiTFTを、高いスループットで形成することができる。図13に示したTFTは、電子移動度が $1\sim2\text{ cm}^2/\text{Vs}$ 程度まで高くすることが可能であり、このTFTを密着型イメージセンサに用いた場合、走査及び読み取り回路の構成方法を工夫することによって、400 dpiの高精細を高速で走査することが可能である。

【0054】(実施例5) 図14に、受光素子1の光応答性を改善した受光素子とTFTを有する半導体装置の例を示す。図14に示すように、n+-a-Si膜6の下層に、膜厚 $5\sim50\text{ nm}$ のSiN膜141を形成し、光電変換層として水素量5%以下のa-Si膜11を用いた。他の膜構成は、図1に示した半導体装置と同様にした。このSiN膜141は、受光素子1において、2次光電流の電極からの注入を防止し、プレーナ型受光素子1の応答性を向上する。また、TFT2において、SiN膜141は、n+-a-Si膜6を、エッチングする際に、低水素化poly-Si膜5を保護するバッジペーパークション層となる。SiN膜141は、プラズマCVDにより形成した。

【0055】SiN膜141を用いない場合には、受光素子1の光応答性は 5 msec であったが、本実施例の受光素子1の光応答性は、 1 msec に高速化することができた。また、本実施例では、水素濃度5%以下のa-Si膜11を用いたため、高い光電流のままで、光導電性を2ケタ程度向上させることができ、簡単な読み取り回路でありながら、高速光応答の半導体装置を得ることができた。

【0056】図14に示したTFT2は、poly-Si膜5を有しているが、図7に示すような、poly-Si膜とa-Si膜の積層構造にしても良い。

【0057】本実施例の半導体装置を密着型イメージセンサを用いることにより、 $1\text{ msec}/1\text{ line}$ の読み取り速度により、 16本/mm の高精細で、A4サイズを 3 sec で読み取ることができる。従って、本実施例の密着型イメージセンサをファクシミリに用いた場合には、高速、高精細でありながら、小型なファクシミリを実現することができる。

【0058】(実施例6) カラー読み取りできるスキャナやファクシミリのイメージセンサ部に、本発明を適用

した密着型イメージセンサを、応用した場合を述べる。
【0059】それぞれイエロー、シアン、マゼンダのフィルタを用いた、3本のセンサで同時に一枚の原稿を読むことで、カラー原稿を高速で読み取ることができる。この際、上記実施例の高速のpolysilicon TFTで構成した走査回路を、基板上に作り込むことによって、センサ1本の幅を3mm以内に抑えられることから、3本でも10mm以下に細くすることが可能である。さらに、作製プロセスに使用するホトマスク数が、実施例3で述べたように、4枚と少ないために、3本分と素子数が多くなっても、作製歩留が低下せず、生産効率を大幅に向かうことができる。

【0060】

【発明の効果】本発明によれば、光電変換層に非晶質半導体層を有する受光素子と、活性層に多結晶半導体層を有する薄膜トランジスタを、同一基板上に同じ膜構成で形成可能な半導体装置と、その製造方法を提供することができる。従って、高感度な受光素子と、高速走査可能な薄膜トランジスタを有する半導体装置を、高い製造高率で製造することができる。

【図面の簡単な説明】

【図1】実施例1に記載した本発明の半導体装置の断面図。

【図2】実施例1の半導体装置を密着型イメージセンサとして用いた原稿読み取り装置の読み取り部の断面図。

【図3】レーザアニール時のレーザ光の反射を示す説明図。

【図4】レーザアニールによるa-Si膜の多結晶化を示す説明図。

【図5】加熱時の半導体の自由エネルギーを示すグラフ。

【図6】実施例1に記載した本発明の半導体装置の別の例の断面図。

【図7】実施例3に記載した本発明の半導体装置の断面図。

【図8】実施例3に記載した本発明の半導体装置のTFT部の特性を示すグラフ。

【図9】実施例3に記載した本発明の半導体装置の受光素子部の特性を示すグラフ。

【図10】実施例3に記載した本発明の半導体装置のTFT部の特性を示す説明図。

【図11】実施例3に記載した本発明の半導体装置の別の例の断面図。

【図12】実施例3に記載した本発明の半導体装置の別の例の断面図。

【図13】実施例4に記載した本発明の半導体装置の断面図。

【図14】実施例5に記載した本発明の半導体装置の断面図。

【符号の説明】

1…受光素子、2…TFT素子、4…低水素化SiN膜、5…低水素化polysilicon膜、6…n+-a-Si膜、7…Cr/A1の2層膜、9…A1膜、10…ガラス基板、11…低水素化a-Si膜、13…polysilicon膜、14…a-Si膜、30…原稿、40…発光素子、41…種結晶、42…SiN膜、111…低水素化a-Si膜、112…高水素化a-Si膜、141…SiN膜、200…絶縁膜、400…保護層。

【図1】

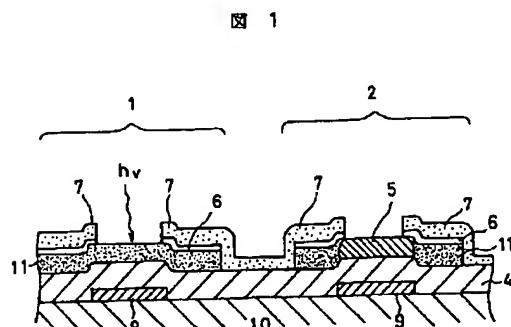
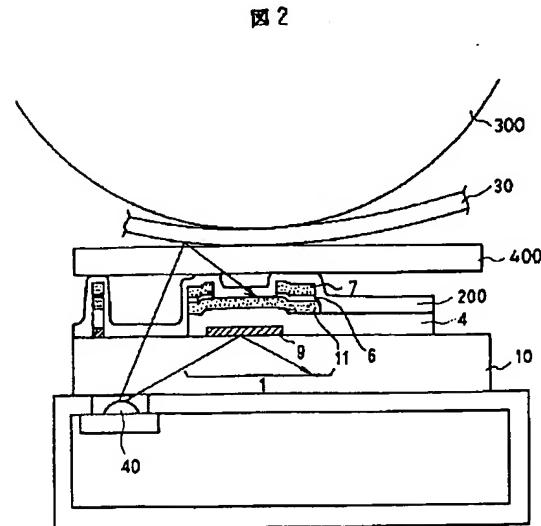
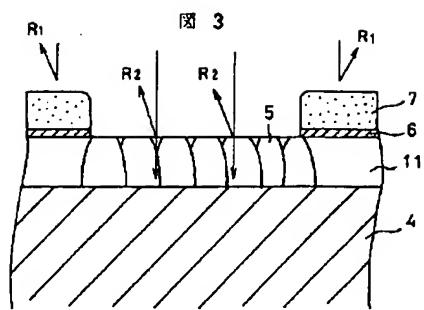


図 1

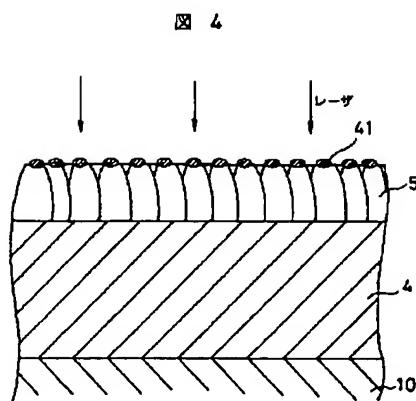
【図2】



【図3】



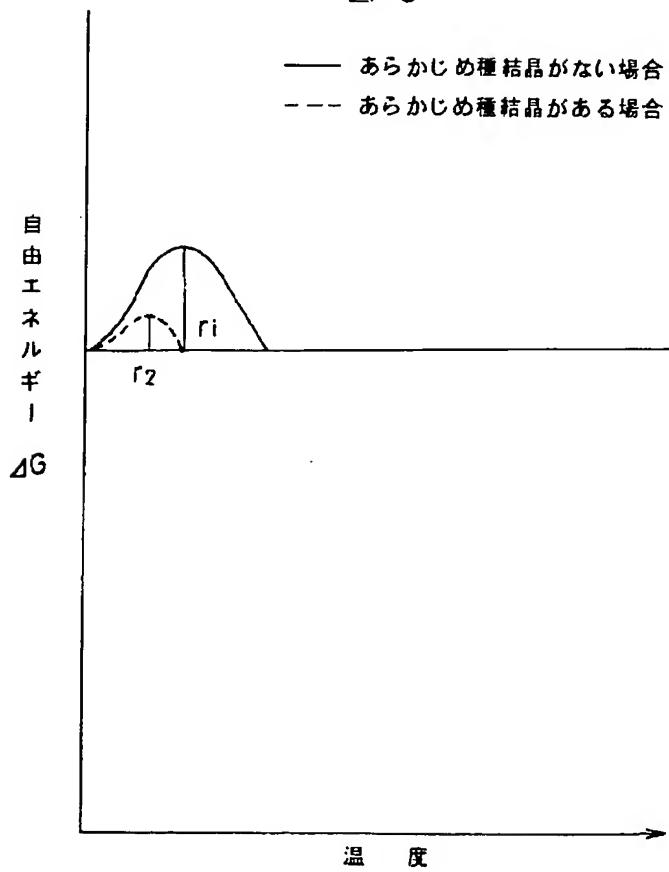
【図4】



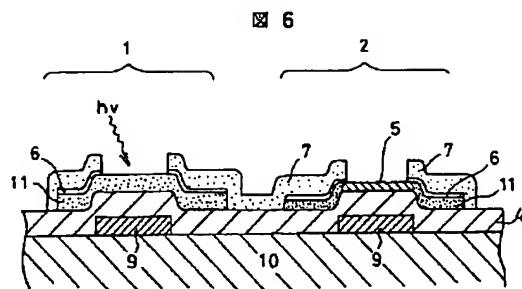
【図5】

図 5

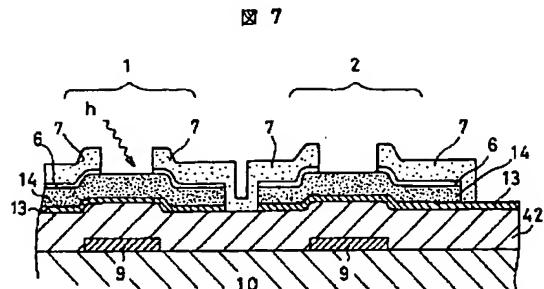
—— あらかじめ種結晶がない場合
- - - あらかじめ種結晶がある場合



【図6】

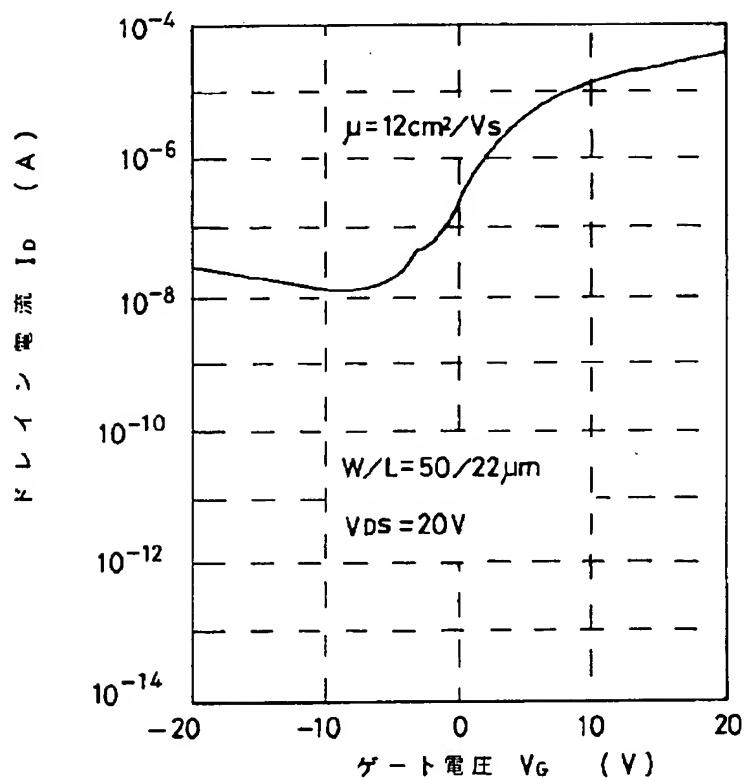


【図7】

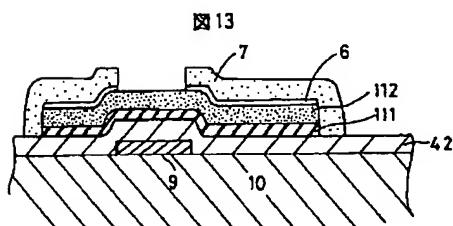


【図8】

図8

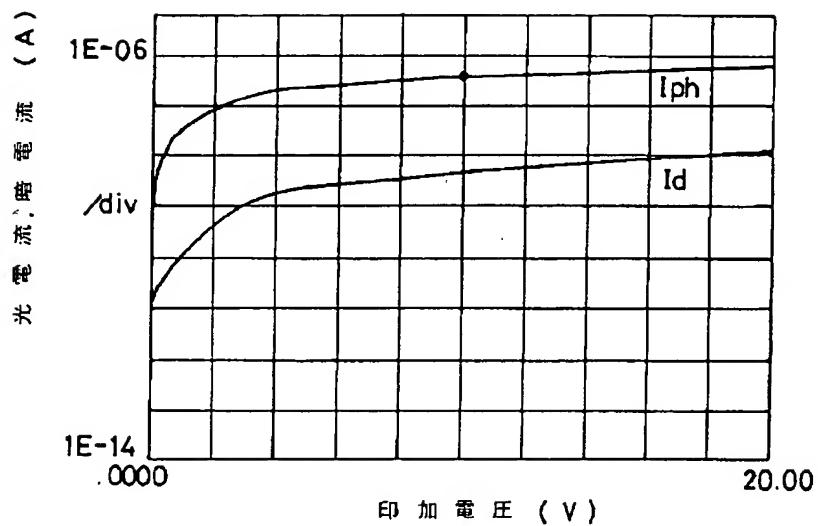


【図13】



【図9】

図9



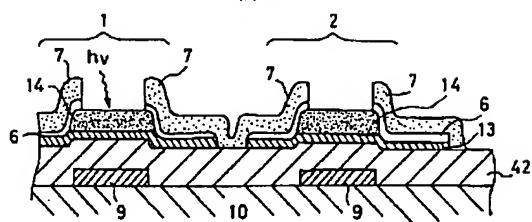
【図10】

図10

	a Si TFT	横層型素子
移動度 (cm ² /Vs)	0.3~0.4	7.0
V_{TH} (V)	0~3	-1.2
off電流 (A)	8×10^{-7}	1×10^{-8}
光/暗電流比	95	88

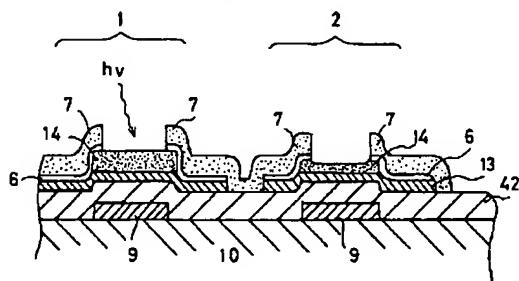
【図11】

図11



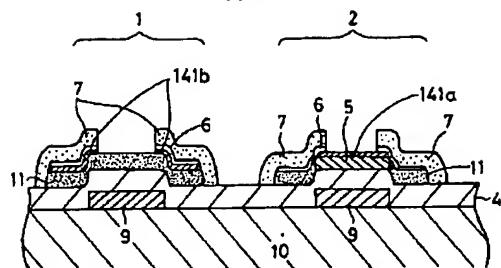
【図12】

図12



【図14】

図14



フロントページの続き

(51) Int.Cl.⁵識別記号 庁内整理番号
9056-4M

F I

技術表示箇所

311 S

(72)発明者 阿部 良夫

茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内

(72)発明者 橋本 健一

茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内

(72)発明者 小園 裕三

茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内

(72)発明者 小川 和宏

茨城県日立市久慈町4026番地 株式会社日
立製作所日立研究所内

(72)発明者 森田 守

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所戸塚工場内